

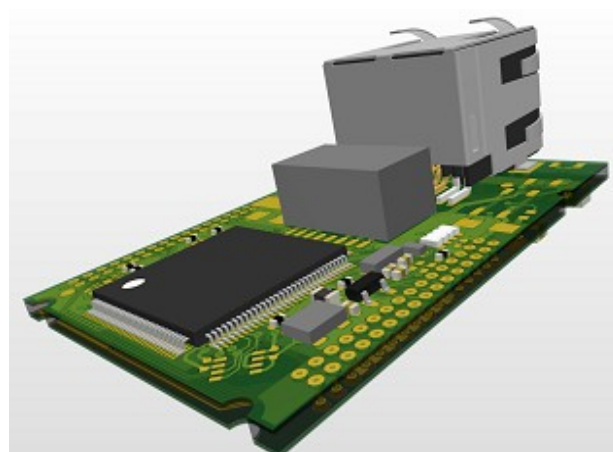
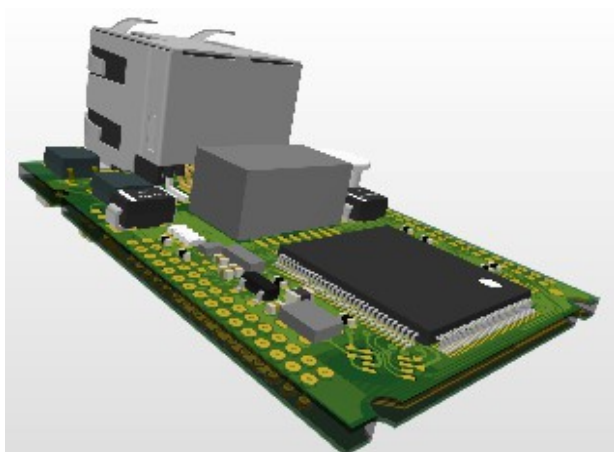
mkc

MKC Michels & Kleberhoff Computer GmbH

Vohwinkeler Str. 58, D-42329 Wuppertal

Tel.: ++49 (0)202 27317 0 Fax: ++49 (0)202 27317 49

Internet: <http://www.mkc-gmbh.de>



Technisches Handbuch

MKC1806

Hinweise:

Die Informationen in diesem Handbuch wurden sorgfältig zusammengestellt und überprüft. Dieses Handbuch wird stetig auf dem aktuellen Zustand gehalten. Jedoch wird von MKC keine Gewähr für fehlerhafte Informationen übernommen.

MKC behält sich das Recht vor, jederzeit ohne weitere Ankündigung technische Änderungen zur Verbesserung der Zuverlässigkeit, der Funktion oder des Designs der Produkte und Überarbeitungen des Handbuchs durchzuführen. Änderungen des Handbuchs zwischen 2 Ausgaben werden im Text nicht markiert.

Das Datum einer Ausgabe bezieht sich auf das Handbuch. Dieses muss nicht mit dem Datum der Änderung der Hardware oder Software übereinstimmen. Bei der Versionsgeschichte wird der Grund für die Handbuch Änderungen genannt.

MKC übernimmt keine Haftung für die Anwendung des hier beschriebenen Produktes. MKC übernimmt weiterhin keine Haftung für Schäden oder Folgeschäden, die durch Verwendung dieses Produktes entstehen. Diese Haftungseinschränkung bezieht sich sowohl auf jeden direkten Abnehmer sowie auf alle seine Kunden und alle Anwender des Produktes.

Es gelten ausschließlich die in diesem Dokument gemachten Zusagen über die Anwendbarkeit des hier beschriebenen Produktes.

Kommentare:

Kommentare oder Korrekturen jedweder Art sind dem Autor jederzeit willkommen. Senden Sie diese bitte an:

**MKC Michels & Kleberhoff Computer GmbH
Vohwinkeler Str. 58
42329 Wuppertal**

oder

info@mkc-gmbh.de

Handbuch Versionen

Änderungen im Handbuch werden durch eine Erhöhung der Ausgabennummer angezeigt. Handbücher, deren Ausgabe durch einen Buchstaben gekennzeichnet ist, sind vorläufige Handbücher und stimmen möglicherweise noch nicht vollständig mit dem endgültigen Produkt überein. Die erste Ausgabe, die nicht mehr als vorläufig anzusehen ist, beginnt mit der Nummerierung „1“.

Handbuch Versionen			
Ausgabe	Änderungen	Datum	
A	Vorläufige Version	21.11.18	MW
1	Erste Version	02.04.19	GW
2	Kap. PWM-Schnittstelle, Erweiterung Tab. 5 und Kap. SSI-Schnittstelle	03.04.19	MW

Lieferversionen (April 2019)

Eine komplette Übersicht aller Möglichkeiten finden Sie auf unserer Internetseite.

Selbstverständlich sind auch Sonderbestückungen, Anpassungen an Ihre Prozessumgebung, usw. nach Absprache möglich. Falls Sie Wünsche, Vorschläge oder kritische Anmerkungen haben, nehmen Sie bitte Kontakt mit uns auf.

Inhaltsverzeichnis

1 EINLEITUNG.....	7
1.1 Hinweise zu Angaben in diesem Handbuch.....	8
2 MITGELIEFERTE SOFTWARE, HARDWARE UND ZUBEHÖR.....	9
3 TECHNISCHE DATEN.....	11
3.1 Elektrische Eigenschaften.....	12
3.1.1 Leistungsaufnahme.....	12
3.1.2 Signalpegel.....	12
3.2 Temperaturbereich.....	13
4 DEFINITION DER ANSCHLÜSSE.....	15
4.1 Modulstecker (Belegung MKC1806).....	15
4.2 Power.....	16
4.2.1 Variante STD.....	16
4.2.2 Variante PoE.....	16
4.3 Programmierbare Pins im Modulstecker (GPIO0 – GPIO41).....	17
4.3.1 UART Schnittstellen.....	18
4.3.2 USB Schnittstelle.....	18
4.3.3 SPI/QSSI Schnittstellen.....	19
4.3.4 I ² C Schnittstellen.....	20
4.3.5 CAN Schnittstelle.....	20
4.3.6 PWM Schnittstelle.....	20
4.4 Fixe Pins im Modulstecker.....	21
4.4.1 System-Control Pins.....	21
4.4.2 Batterie-Eingang.....	21
4.4.3 JTAG Schnittstelle.....	21
5 PINBELEGUNG TM4C129KCPDT.....	23
5.1 Pinbelegung Versorgungsspannungen.....	23
5.2 Pinbelegung Steuer- und Takt-Signale.....	23
5.3 Pinbelegung Platinen-Rev und Platinen-Var.....	24
5.4 Pinbelegung Netzwerkschnittstelle.....	24
5.5 Pinbelegung Onboard LED.....	24
5.6 Pinbelegung interne SPI-Schnittstelle.....	25
5.7 Pinbelegung nicht benutzter Pins.....	25
6 ANHANG.....	27
6.1 Bemaßung MKC1806.....	27
6.2 Bemaßung der Ausschnitte in der Trägerkarte.....	28

Liste der Abbildungen

Abbildung 1: Modulansicht Variante STD.....	11
Abbildung 2: Modulansicht Variante PoE.....	11
Abbildung 3: Lage der Modulkontakte.....	15
Abbildung 4: Modulbemaßung.....	27
Abbildung 5: Ausschnitte in der Trägerkarte.....	28

Liste der Tabellen

Tabelle 1: Elektrische Eigenschaften, Leistungsaufnahme.....	12
Tabelle 2: Elektrische Eigenschaften, Signalpegel Slow GPIO.....	12
Tabelle 3: Elektrische Eigenschaften, Signalpegel Fast GPIO.....	13
Tabelle 4: Modulkontakte (Belegung).....	15
Tabelle 5: RCLASS.....	16
Tabelle 6: Übersicht programmierbare Modulpads (GPIO0 – GPIO41).....	17
Tabelle 7: UART0 / UART1 / UART2 Konfiguration Modul-Pin zu CPU-Pin/Block.....	18
Tabelle 8: USB Konfiguration Modul-Pin zu CPU-Pin/Block.....	18
Tabelle 9: SPI Konfiguration Modul-Pin zu CPU-Pin/Block.....	19
Tabelle 10: QSSI Konfiguration Modul-Pin zu CPU-Pin/Block.....	19
Tabelle 11: I2C Konfiguration Modul-Pin zu CPU-Pin/Block.....	20
Tabelle 12: CAN Konfiguration Modul-Pin zu CPU-Pin/Block.....	20
Tabelle 13: PWM Konfiguration Modul-Pin zu CPU-Pin und PWM Generator.....	20
Tabelle 14: System-Control Konfiguration Modul-Pin zu CPU-Pin/Block.....	21
Tabelle 15: VBATT Konfiguration Modul-Pin zu CPU-Pin/Block.....	21
Tabelle 16: JTAG Modul-Pin zu CPU-Pin/Block.....	21
Tabelle 17: Pinbelegung Versorgungsspannungen.....	23
Tabelle 18: Pinbelegung Steuer- und Takt-Signale.....	23
Tabelle 19: Pinbelegung Platinen-Rev und Platinen-Var.....	24
Tabelle 20: Pinbelegung Netzwerkschnittstelle.....	24
Tabelle 21: Pinbelegung Onboard LED.....	24
Tabelle 22: Pinbelegung interne SPI-Schnittstelle.....	25
Tabelle 23: Pinbelegung nicht benutzter Pins.....	25

1 Einleitung

Ausgehend für die Neuentwicklung des embedded Moduls MKC1806 sind die eigenen Erfahrungen bei der Entwicklung und Vermarktung der aktuellen IONet Geräteserie und des bisherigen eNetMini-Moduls.

Darüber hinaus sind diese neuen Module so realisiert worden, dass sie für unsere Kunden als einfach zu integrierendes intelligentes Interface-Modul eingesetzt werden können. Die bisherigen Steckverbinder sind entfallen. Stattdessen verfügt das MKC1806 Modul über Kontaktpunkte zum direkten Bestücken auf der Trägerkarte im Reflow-Verfahren. Soll die MKC1806 nicht fest montiert werden (z.B. während des Funktions-Tests), werden auf der Trägerkarte Federpin Reihen bestückt. Der Vorteil dieses Verfahrens ist eine höhere Kontaktdichte und damit mehr Kontakte auf dem gleichen Raum. Außerdem wird das Modul dadurch preiswerter.

Ziel der Entwicklung war es, ein intelligentes Interface-Modul mit weiten Einsatzmöglichkeiten zu realisieren. Aus den eigenen Erfahrungen und den Reaktionen und Anfragen unserer Kunden ist das Modul MKC1806 mit universellen Schnittstellen ausgestattet worden. Hieraus folgte, dass neben dem 100MBit-Netzwerk mit RJ45-Stecker, weitere im Industriebereich benötigte Standardschnittstellen implementiert wurden.

Für die Anbindung des Moduls an kundenspezifische Hardware stehen 42 Leitungen (3.3V-Level) für Kommunikationsmöglichkeiten zur Grundkarte zur Verfügung. Diese Anschlüsse können als GPIOs genutzt werden. Alternative Funktionen können bei Bedarf implementiert werden. Hierzu gehören die Anschlussmöglichkeit von externen Baugruppen über USB-, CAN-, I2C-, SPI-, RS232- oder QSSI-Bus. Auch PWM Ausgänge sind möglich. Alle hierfür notwendigen Signale werden auf die Grundkarte für die Realisierung der notwendigen Leitungs-Treiber geführt.

Ein wesentliches Kriterium bei der Entwicklung ist der marktgerechte Verkaufspreis des Moduls und die garantierte Lieferbarkeit aller benötigten Bauteile für die nächsten Jahre gewesen.

Diese Gedanken führten zu der Realisierung eines Moduls in diversen Bestückungsvarianten:

- **MKC1806, Variante STD.** Bei dieser Variante ist der ARM Cortex-M4 Mikroprozessor und das Netzwerk-Kabelinterface (RJ45-Stecker, Trafo und Abschlüsse) auf dem Modul realisiert. Das Modul wird von der Trägerkarte versorgt.
- **MKC1806, Variante POE.** Bei dieser Variante ist auf dem Modul zusätzlich ein PoE-Netzteil implementiert. Dieses versorgt das Modul über das Netzkabel und stellt über die Pfostenleisten eine Spannung von 3.3VDC für die Trägerkarte zur Verfügung.

1.1 Hinweise zu Angaben in diesem Handbuch

Zahlenangaben

Hexadezimale Zahlen werden in diesem Handbuch durch ein vorangestelltes Dollarzeichen „\$“ gekennzeichnet. Andere geläufige Schreibweisen für Hexadezimale Zahlen sind z.B. durch den Präfix „0x“ oder den Suffix „h“ in der Literatur angegeben. Sie werden hier nur der Vollständigkeit halber erwähnt.

Um die Lesbarkeit von langen hexadezimalen Zahlen zu verbessern, werden diese von rechts durch einen Punkt in 4er Gruppen unterteilt. Eine mathematische Bedeutung liegt diesem Punkt nicht zugrunde.

Logikpegel

Alle Logikpegel werden in diesem Handbuch mit „HIGH“ und „LOW“ bezeichnet. Signale die, als activ-low beschrieben werden, sind durch den Präfix „/“ gekennzeichnet.

Hardware Konfiguration

Die Lage aller Jumper und Lötbrücken der Beschreibung der Platine zu entnehmen. Die Position 1 eines Jumpers oder einer Lötbrücke ist durch eine zusätzliche Markierung hervorgehoben. Jumper bzw. Steckverbinder sind grundsätzlich mit „J“ oder mit „X“ gekennzeichnet. Alle Lötbrücken sind mit „JB“ bezeichnet. Bei der Beschreibung der einzelnen Konfigurationsmöglichkeiten geben die grau hinterlegten Felder den Auslieferungszustand der Karte wieder.

Lieferversionen

Die unten angegebenen Lieferversionen sind zur Zeit verfügbar. Damit ist nicht zugesagt, dass alle diese Versionen weiterhin lieferbar bleiben. MKC behält sich das Recht vor, die Produktion dieser Hardware oder Software aus technischen Gründen ohne vorherige Ankündigung einzustellen.

Vorläufige Angaben

In dieser Handbuchversion sind mehrere Kapitel noch vorläufig, diese Stellen sind mit dem Textzusatz '*TDB: ...*' an den entsprechenden Stellen gekennzeichnet.

2 Mitgelieferte Software, Hardware und Zubehör

Wir stellen alle Softwarebeispiele auf unserer Homepage (www.mkc-gmbh.de) in der aktuellen Auslieferungsversion für unsere Kunden zur Verfügung.

Diese wurden mit der von Texas Instruments frei erhältlichen Entwicklungsumgebung Code Composer Studio erzeugt und übersetzt. Zusätzlich wird noch die ebenfalls frei verfügbare TIAVWARE Bibliothek benötigt.

- **base**
Dieses Beispiel führt die Initialisierung der Hardware durch. Ist diese erfolgreich durchlaufen worden, blinkt auf dem Modul die grüne Leuchtdiode im Sekundentakt.
- **http**
Erweitert das obige Beispiel **base**. Es wird ein HTTP-Server auf der Adresse 192.168.15.100 gestartet. Auf der implementierten Homepage können diverse Funktionsgruppen des Moduls ausgelesen bzw. gesetzt werden.

Kundenspezifische Änderungen (OEM) an der Homepage, Firmware, weitere Schnittstellen und Anpassungen sind prinzipiell möglich. Auch können Erweiterungen, um das Gerät als eigenständigen Controller einsetzen zu können, jederzeit implementiert werden.

3 Technische Daten

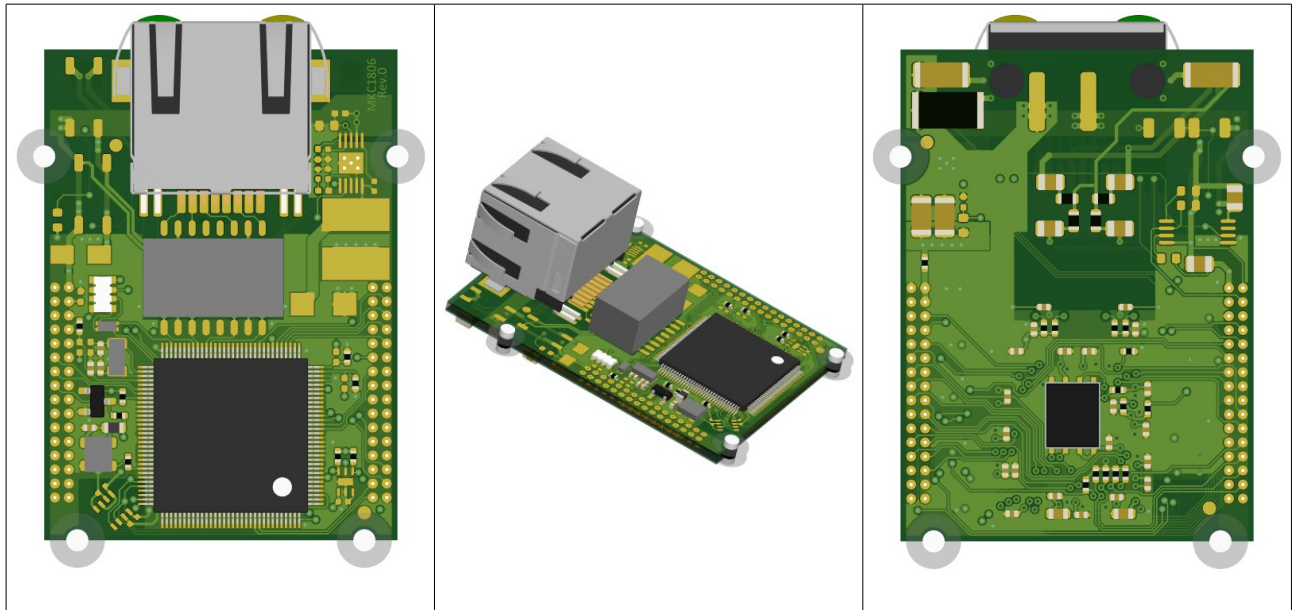


Abbildung 1: Modulansicht Variante STD

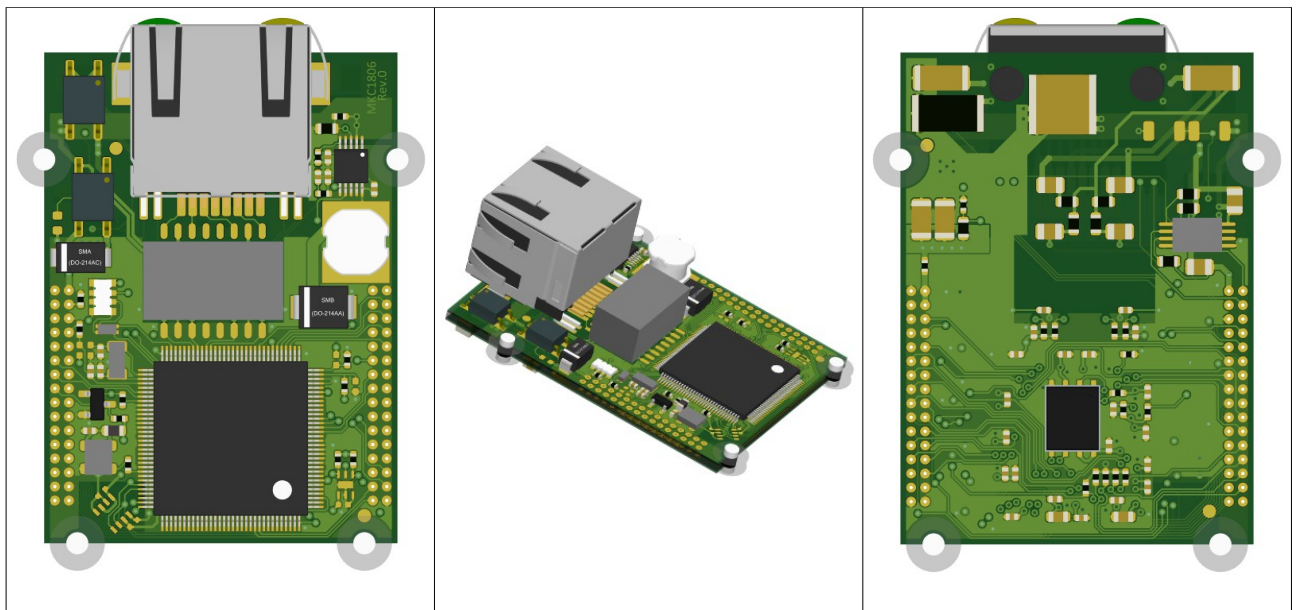


Abbildung 2: Modulansicht Variante PoE

- Texas Instruments TIVA TM4C1294KCPDT (32 bit ARM Cortex-M4F)
- 2. 120 MHz Systemtakt
- 3. 512 KB Flash, 256 KB SRAM, 6 KB EEPROM, 64 Bytes gepuffertes NV-RAM
- 4. Ethernet MAC und PHY
- 5. UART, SPI, I2C, CAN, USB, GPIO, Timer, PWM, RTC integriert
- 6. Integrierte Temperaturmessung
- Ethernet RJ45 mit Übertrager und 2 LEDs
- Serielles NOR-Flash 128 MBit
- Varianten mit oder ohne PoE Interface

3.1 Elektrische Eigenschaften

3.1.1 Leistungsaufnahme

		Min	Typ	Max	Unit
V _{CC}	Supply Voltage Variante STD	3	3,3	3,6	V
I _{CC}	Power Supply Current ¹			0,2	A

		36V		57V	V
V _{CC}	Supply Voltage Variante PoE				
I _{CC}	Power Supply Current ¹			0,02	A

Tabelle 1: Elektrische Eigenschaften, Leistungsaufnahme

¹⁾ für das Modul mit aktivem Netzwerk, ohne Beschaltung aller IOs, ohne Trägerkarte

Hinweis:

Bei der Versorgung über PoE wird die zugeführte Spannung auch auf die Trägerkarte (XA, Pin2) geführt. Die maximale von dem speisendem PSE (Power Sourcing Equipment, z. Bsp. ein PoE-Switch) gelieferte Leistung liegt bei 12.95W. Das Modul selbst benötigt max. 1.14W, somit stehen der Grundkarte etwa 11.8W aus der PoE-Versorgung zur Verfügung.

3.1.2 Signalpegel

Sämtliche Signale werden unmittelbar von dem Mikroprozessor an die Stecker geführt. Bei einer Spannungsversorgung der Prozessors mit V_{DD} (3.3V, auf dem Modul erzeugt aus der PoE oder zugeführt über die Stecker von der Grundkarte) ergeben sich die elektrischen Signalpegel laut Datenblatt zu

Parameter	Parameter Name	Min	Nom	Max	Unit
V _{IH}	Slow GPIO high-level input voltage	0.65 * VDD	-	4	V
I _{IH}	Slow GPIO high-level input current a)	-		4.1	nA
V _{IL}	Slow GPIO low-level input voltage	0	-	0.35 * VDD	V
I _{IL}	Slow GPIO low-level input current a)	-	-	- 1	nA
V _{HYS}	Slow GPIO Input Hysteresis	0.49	-	-	V
V _{OH}	Slow GPIO High-level output voltage	2.4	-	-	V
V _{OL}	Slow GPIO Low-level output voltage	-	-	0.4	V
I _{OH}	High-level source current, V _{OH} = 2.4 V b) 2-mA Drive	2.0	-	-	mA
I _{OL}	Low-level sink current, V _{OL} = 0.4 V b) 2-mA Drive	2.0	-	-	mA

a) Output/pull-up/pull-down disabled; only input enabled.

b) IO specifications reflect the maximum current where the corresponding output voltage meets the V_{OH}/V_{OL} thresholds. IO current can exceed these limits (subject to absolute maximum ratings).

Tabelle 2: Elektrische Eigenschaften, Signalpegel Slow GPIO

Parameter	Parameter Name	Min	Nom	Max	Unit
V _{IH}	Fast GPIO high-level input voltage	0.65 * VDD	-	4	V
I _{IH}	Fast GPIO high-level input current a)	-		300	nA
V _{IL}	Fast GPIO low-level input voltage	0	-	0.35 * VDD	V
I _{IL}	Fast GPIO low-level input current a)	-	-	- 200	nA
V _{HYS}	Fast GPIO Input Hysteresis	0.49	-	-	V
V _{OH}	Fast GPIO High-level output voltage	2.4	-	-	V
V _{OL}	Fast GPIO Low-level output voltage	-	-	0.4	V
I _{OH}	High-level source current, V _{OH} = 2.4 V b)				
	2-mA Drive	2.0			mA
	4-mA Drive	4.0			
	8-mA Drive	8.0	-	-	
	10-mA Drive	10.0			
12-mA Drive	12.0				
I _{OL}	Low-level sink current, V _{OL} = 0.4 V b)				
	2-mA Drive	2.0			mA
	4-mA Drive	4.0			
	8-mA Drive	8.0	-	-	
	10-mA Drive	10.0			
	12-mA Drive	12.0			
12-mA Drive overdriven to 18-mA	18.0				

- a) Output/pull-up/pull-down disabled; only input enabled.
b) IO specifications reflect the maximum current where the corresponding output voltage meets the V_{OH}/V_{OL} thresholds. IO current can exceed these limits (subject to absolute maximum ratings).

Tabelle 3: Elektrische Eigenschaften, Signalpegel Fast GPIO

3.2 Temperaturbereich

- Arbeitstemperatur: 0 bis 50° Celsius Umgebungstemperatur
- Lagertemperatur: 0 bis 70° Celsius Umgebungstemperatur
- relative Feuchte: 0 ... 90%, nicht kondensierend

4 Definition der Anschlüsse

Bei dem embedded Modul MKC1806 können die 24 Schnittstellen-Pins mit mehreren Funktionen belegt werden. Je nach Einsatz des Moduls werden die zugehörigen Pins von der Firmware für die entsprechenden alternativen Funktionalitäten konfiguriert. Die folgenden Seiten zeigen die realisierbaren Funktionsgruppen und die Zuordnung zu den Anschlusspins.

4.1 Modulstecker (Belegung MKC1806)

XB				XA			
Name	Pin	Pin	Name	Name	Pin	Pin	Name
3.3V IN/OUT ²⁾	1	2	GND	RCLASS1 ¹⁾	1	2	POE_POS ¹⁾
3.3V IN/OUT ²⁾	3	4	GPIO27	RCLASS2 ¹⁾	3	4	/POE_MOD ^{1,3)}
GPIO13	5	6	GPIO26	GND	5	6	GND
GPIO12	7	8	GPIO25	/FSU_IN	7	8	VBATT
GPIO11	9	10	GPIO24	/CONFIG_IN	9	10	GPIO39
GPIO10	11	12	GPIO23	/RST_IN	11	12	GPIO38
GPIO9	13	14	GPIO22	CLK_OUT	13	14	GPIO37
GPIO8	15	16	GPIO21	/RST_OUT	15	16	GPIO36
GPIO7	17	18	GPIO20	GND	17	18	GPIO35
GPIO6	19	20	GPIO19	GPIO41	19	20	GPIO34
GPIO5	21	22	GPIO18	GPIO40	21	22	GPIO33
GPIO4	23	24	GPIO17	TDO	23	24	GPIO32
GPIO3	25	26	GPIO16	TDI	25	26	GPIO31
GPIO2	27	28	GPIO15	TMS	27	28	GPIO30
GPIO1	29	30	GPIO14	TCK	29	30	GPIO29
GPIO0	31	32	GND	GND	31	32	GPIO28

Tabelle 4: Modulkontakte (Belegung)

- ¹⁾ Modul-Variante PoE.
- ²⁾ Variante PoE : 3.3V Quelle max. 300mA
Variante STD : 3.3V Versorgung max. 200mA
- ³⁾ Variante PoE : GND
Variante STD : offen

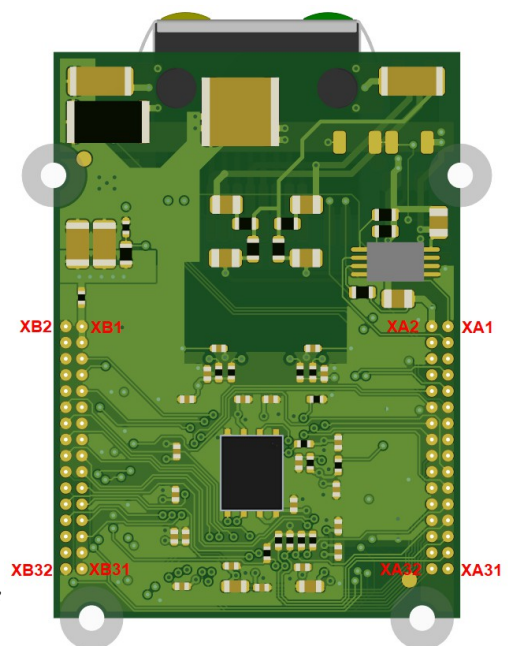


Abbildung 3: Lage der Modulkontakte

4.2 Power

Das Signal an Pin XA[4] signalisiert der Trägerkarte die Variante des aufgesteckten Moduls. In der Variante STD ist dieser Pin offen, in der Variante PoE ist dieser Pin gegen GND kurzgeschlossen.

Für den Fall, dass beide Varianten (PoE und STD) auf einer Trägerkarte abwechselnd eingesetzt werden sollen, kann über dieses Signal die Spannungsversorgung für die jeweilige MKC1806 geschaltet werden. Die entsprechend implementierte Hardware kann die 3.3V-Versorgung der Trägerkarte über die Pins des Moduls (Variante PoE, Pins sind Spannungsquelle) realisieren oder – Variante STD, diese Pins sind Versorgungseingänge – zur Spannungsversorgung des Moduls nutzen.

4.2.1 Variante STD

Die STD Variante der MKC1806 wird über die Pins XB[1,3] mit einer Spannung von 3,3V DC versorgt. Stromaufnahme siehe 3.1 Elektrische Eigenschaften. Die Pins XA[1,2,3,4] sind nicht belegt.

4.2.2 Variante PoE

Die PoE Variante der MKC1806 wird über das Ethernet Kabel versorgt. Stromaufnahme siehe 3.1 Elektrische Eigenschaften.

An dem Stecker XA[2] liegt die vom speisenden Switch (PSE, Power Sourcing Equipment) gelieferte Spannung an. Diese positive Spannung liegt im Bereich von 36..57V DC und wird unmittelbar von dem Netzwerkstecker über einen Brückengleichrichter an den Modulkontakt geführt. Das Bezugspotential ist GND. Es erfolgt keine Potentialtrennung.

Bei der Versorgung eines Endgerätes über PoE nach 802.3af sind einstellbare Leistungsklassen für das Endgerät (PD, Powered Device) definiert. Diese legen fest, wie viel Strom maximal im Betrieb dem speisenden Switch entnommen wird. Switch und Endgerät führen eine entsprechende Detektion und Klassifizierung vor der eigentlichen Aktivierung der Stromversorgung durch. Diese Klassifizierung erfolgt anhand eines festgelegten Widerstandswertes. Der PSE misst diesen Widerstand aus um die Leistungsklasse des angeschlossenen Systems festzustellen.

Der eingesetzte PoE-Controller muss mit folgenden Widerstandswerten beschaltet werden:

CLASS	PD Power (W)	R_CLASS (Ohm)	Parallelwiderstand (Ohm)
0	0.44 – 12.95	4420 1%	---
1	0.44 – 3.84	953 1%	1215
2	3.84 – 6.49	549 1%	627
3	6.49 – 12.95	357 1%	388

Tabelle 5: RCLASS

Auf dem Modul ist ein Widerstand 4420 Ohm bestückt, somit wird ein Leistungsbedarf für das System der Klasse 0 angezeigt.

Soll für das Gesamtsystem eine andere Leistungsklasse während der Detektion und Klassifizierung an den PSE signalisiert werden, so können entsprechende Widerstandswerte auf der Trägerkarte parallel zu dem auf dem Modul fest verbauten Widerstandswert 4420 Ohm geschaltet werden. Die Anschlüsse hierfür sind auf dem Stecker XA[1,3] vorgesehen. Der erforderliche Parallelwiderstand zeigt die obige Tabelle.

4.3 Programmierbare Pins im Modulstecker (GPIO0 – GPIO41)

Die folgende Tabelle zeigt die programmierbaren Pins der Modulkontakte. Nicht programmiert sind alle diese Pins GPIO Signale der CPU (genauer: digitale Eingänge ohne Pullup/Pulldown). MKC unterstützt die Programmierung der Pins auf die hier angegebenen Schnittstellen Funktionen.

Pin-Name	Modul-Pin	CPU Pin (Name / Pin-Nr.)	Schnittstelle	CPU-Block
GPIO0	XB[31]	PP0 / 118	SPI/QSSI	SSI3
GPIO1	XB[29]	PP1 / 119	SPI/QSSI	SSI3
GPIO2	XB[27]	PA6 / 40	USB	USB0
GPIO3	XB[25]	PA7 / 41	USB	USB0
GPIO4	XB[23]	PL0 / 81	I2C	I2C2
GPIO5	XB[21]	PL1 / 82	I2C	I2C2
GPIO6	XB[19]	PL6 / 94	USB	USB0
GPIO7	XB[17]	PL7 / 93	USB	USB0
GPIO8	XB[15]	PK0 / 18	UART	UART4
GPIO9	XB[13]	PK1 / 19	UART	UART4
GPIO10	XB[11]	PF3 / 45	PWM / SPI/QSSI	PWM3 / SSI3
GPIO11	XB[9]	PF2 / 44	PWM / SPI/QSSI	PWM2 / SSI3
GPIO12	XB[7]	PF0 / 42	PWM / SPI/QSSI	PWM0 / SSI3
GPIO13	XB[5]	PF1 / 43	PWM / SPI/QSSI	PWM1 / SSI3
GPIO14	XB[30]	PK2 / 20	UART	UART4
GPIO15	XB[28]	PK3 / 21	UART	UART4
GPIO16	XB[26]	PA0 / 33	CAN	CAN0
GPIO17	XB[24]	PA1 / 34	CAN	CAN0
GPIO18	XB[22]	PB0 / 95	USB	USB0
GPIO19	XB[20]	PB1 / 96	USB	USB0
GPIO20	XB[18]	PJ1 / 117	UART	UART3
GPIO21	XB[16]	PJ0 / 116	UART	UART3
GPIO22	XB[14]	PP4 / 105	UART	UART3
GPIO23	XB[12]	PP5 / 106	UART	UART3
GPIO24	XB[10]	PA2 / 35	SPI	SSI0
GPIO25	XB[8]	PA3 / 36	SPI	SSI0
GPIO26	XB[6]	PA4 / 37	SPI	SSI0
GPIO27	XB[4]	PA5 / 38	SPI	SSI0
GPIO28	XA[32]	PB4 / 121	SPI/QSSI	SSI1
GPIO29	XA[30]	PB5 / 120	SPI/QSSI	SSI1
GPIO30	XA[28]	PE4 / 123	SPI/QSSI	SSI1
GPIO31	XA[26]	PE5 / 124	SPI/QSSI	SSI1
GPIO32	XA[24]	PD4 / 125	UART / QSSI	UART2 / SSI1
GPIO33	XA[22]	PD5 / 126	UART / QSSI	UART2 / SSI1
GPIO34	XA[20]	PD6 / 127	UART	UART2
GPIO35	XA[18]	PD7 / 128	UART	UART2
GPIO36	XA[16]	PG0 / 49	PWM / I2C	PWM4 / I2C1
GPIO37	XA[14]	PG1 / 50	PWM / I2C	PWM5 / I2C1
GPIO38	XA[12]	PQ0 / 5	SPI/QSPI	SSI3
GPIO39	XA[10]	PQ1 / 6	SPI/QSPI	SSI3
GPIO40	XA[21]	PQ2 / 11	SPI/QSPI	SSI3
GPIO41	XA[19]	PQ3 / 27	SPI/QSPI	SSI3

Tabelle 6: Übersicht programmierbare Modulpads (GPIO0 – GPIO41)

Einzelheiten zu den auf den folgenden Seiten beschriebenen Schnittstellen finden Sie im Datenblatt des TIVA Mikrocontrollers unter <http://www.ti.com/lit/gpn/tm4c1294kcpdt>.

4.3.1 UART Schnittstellen

Die UART Schnittstellen der CPU unterstützen:

- Baudrate bis 15 Mbps
- 5, 6, 7, 8 Databits, odd/even/no Parity, 1 oder 2 Stoppbits
- RTS/CTS Handshake
- jeweils 16 Byte tiefe FIFOs für Receive/Transmit

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])	CPU Pin (CPU-Block)
UART0	CTS	GPIO23 (XB[12])	PP5 / 106 (UART3)
UART0	RTS	GPIO22 (XB[14])	PP4 / 105 (UART3)
UART0	RX	GPIO21 (XB[16])	PJ0 / 116 (UART3)
UART0	TX	GPIO20 (XB[18])	PJ1 / 117 (UART3)

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])	CPU Pin (CPU-Block)
UART1	CTS	GPIO15 (XB[28])	PK3 / 21 (UART4)
UART1	RTS	GPIO14 (XB[30])	PK2 / 20 (UART4)
UART1	RX	GPIO8 (XB[15])	PK0 / 18 (UART4)
UART1	TX	GPIO9 (XB[13])	PK1 / 19 (UART4)

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])	CPU Pin (CPU-Block)
UART2	CTS	GPIO35 (XA[18])	PN7 / 128 (UART2)
UART2	RTS	GPIO34 (XA[20])	PD6 / 127 (UART2)
UART2	RX	GPIO32 (XA[24])	PD4 / 125 (UART2)
UART2	TX	GPIO33 (XA[22])	PD5 / 126 (UART2)

Tabelle 7: UART0 / UART1 / UART2 Konfiguration Modul-Pin zu CPU-Pin/Block

4.3.2 USB Schnittstelle

Die USB Schnittstellen der CPU unterstützen:

- USB1.0 Full-Speed (12Mbps) Interface
- Host, Device oder OTG Modus

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])	CPU Pin (CPU-Block)
USB	VBUS	GPIO19 (XB[20])	PB1 / 96 (USB0)
USB	ID	GPIO18 (XB[22])	PB0 / 95 (USB0)
USB	DN	GPIO7 (XB[17])	PL7 / 93 (USB0)
USB	DP	GPIO6 (XB[19])	PL6 / 94 (USB0)
USB *	EPEN	GPIO2 (XB[27])	PA6 / 40 (USB0)
USB *	PFLT	GPIO3 (XB[25])	PA7 / 41 (USB0)

* optionale Signale für 'external power control in host mode'

Tabelle 8: USB Konfiguration Modul-Pin zu CPU-Pin/Block

4.3.3 SPI/QSSI Schnittstellen

Der QSSI Funktionsblöcke der TIVA CPU unterstützen sowohl die Standard 1-Bit Konfiguration als auch einen parallelen 4-Bit Transfer (im Folgenden QSSI genannt). Für SSI0 ist nur SPI verfügbar.

- maximale Datenrate 60 MHz im Master-Mode
- Master/Slave Modus
- Getrennte Empfangs-/Sende-FIFOs

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])		CPU Pin (CPU-Block)	
SPI0	MOSI	GPIO13 (XB[11])	GPIO40 (XA[21])	PF1 / 43 (SSI3)	PQ2 / 11 (SSI3)
SPI0	MISO	GPIO12 (XB[9])	GPIO41 (XA[19])	PF0 / 42 (SSI3)	PQ3 / 27 (SSI3)
SPI0	/SS	GPIO11 (XB[7])	GPIO39 (XA[10])	PF2 / 44 (SSI3)	PQ1 / 6 (SSI3)
SPI0	SCLK	GPIO10 (XB[5])	GPIO38 (XA[12])	PF3 / 45 (SSI3)	PQ0 / 5 (SSI3)

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])		CPU Pin (CPU-Block)	
SPI1	MOSI	GPIO30 (XA[28])		PE4 / 123 (SSI1)	
SPI1	MISO	GPIO31 (XA[26])		PE5 / 124 (SSI1)	
SPI1	/SS	GPIO28 (XA[32])		PB4 / 121 (SSI1)	
SPI1	SCLK	GPIO29 (XA[30])		PB5 / 120 (SSI1)	

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])		CPU Pin (CPU-Block)	
SPI2	MOSI	GPIO26 (XB[6])		PA4 / 37 (SSI0)	
SPI2	MISO	GPIO27 (XB[4])		PA5 / 38 (SSI0)	
SPI2	/SS	GPIO25 (XB[8])		PA3 / 36 (SSI0)	
SPI2	SCLK	GPIO24 (XB[10])		PA2 / 35 (SSI0)	

Tabelle 9: SPI Konfiguration Modul-Pin zu CPU-Pin/Block

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])		CPU Pin (CPU-Block)	
QSSI0	DAT0	GPIO13 (XB[11])	GPIO40 (XA[21])	PF1 / 43 (SSI3)	PQ2 / 11 (SSI3)
QSSI0	DAT1	GPIO12 (XB[9])	GPIO41 (XA[19])	PF0 / 42 (SSI3)	PQ3 / 27 (SSI3)
QSSI0	DAT2	GPIO0 (XB[2])		PP0 / 118 (SSI3)	
QSSI0	DAT3	GPIO1 (XB[4])		PP1 / 119 (SSI3)	
QSSI0	/SS	GPIO11 (XB[7])	GPIO39 (XA[10])	PF2 / 44 (SSI3)	PQ1 / 6 (SSI3)
QSSI0	SCLK	GPIO10 (XB[5])	GPIO38 (XA[12])	PF3 / 45 (SSI3)	PQ0 / 5 (SSI3)

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])		CPU Pin (CPU-Block)	
QSSI1	DAT0	GPIO30 (XA[28])		PE4 / 123 (SSI1)	
QSSI1	DAT1	GPIO31 (XA[26])		PE5 / 124 (SSI1)	
QSSI1	DAT2	GPIO32 (XA[24])		PD4 / 125 (SSI1)	
QSSI1	DAT3	GPIO33 (XA[22])		PD5 / 126 (SSI1)	
QSSI1	/SS	GPIO28 (XA[32])		PB4 / 121 (SSI1)	
QSSI1	SCLK	GPIO29 (XA[30])		PB5 / 120 (SSI1)	

Tabelle 10: QSSI Konfiguration Modul-Pin zu CPU-Pin/Block

4.3.4 I²C Schnittstellen

Texas Instruments unterstützt auf dem I²C Bus sowohl den Master- als auch den Slave-Mode mit Datenraten von 100Kbps (Standard) bis 3,33 Mbps (high-speed).

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])	CPU Pin (CPU-Block)
I2C0	SCL	GPIO5 (XB[21])	PL1 / 82 (I2C2)
I2C0	SDA	GPIO4 (XB[23])	PL0 / 81 (I2C2)

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])	CPU Pin (CPU-Block)
I2C1	SCL	GPIO36 (XA[16])	PG0 / 49 (I2C1)
I2C1	SDA	GPIO37 (XB[14])	PG1 / 50 (I2C1)

Tabelle 11: I2C Konfiguration Modul-Pin zu CPU-Pin/Block

4.3.5 CAN Schnittstelle

Einige Features des CAN-Controllers:

- CAN Protokoll Version 2.0 Part A/B
- Bitrate bis 1 Mbps
- 32 Message Objects

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])	CPU Pin (CPU-Block)
CAN	TX	GPIO17 (XB[24])	PA1 / 34 (CAN0)
CAN	RX	GPIO16 (XB[26])	PA0 / 33 (CAN0)

Tabelle 12: CAN Konfiguration Modul-Pin zu CPU-Pin/Block

4.3.6 PWM Schnittstelle

Es stehen drei 16-bit Pulsweitenmodulatoren zur Verfügung. Ein PWM gibt jeweils zwei Signale mit gleichem Takt und gleicher Frequenz heraus.

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])	CPU Pin (CPU-Block)	PWM Generator
PWM	PWM0	GPIO12 (XB[7])	PF0 / 42 (PWM0)	0
PWM	PWM1	GPIO13 (XB[5])	PF1 / 43 (PWM1)	0
PWM	PWM2	GPIO11 (XB[9])	PF2 / 44 (PWM2)	1
PWM	PWM3	GPIO10 (XB[11])	PF3 / 45 (PWM3)	1
PWM	PWM4	GPIO36 (XB[16])	PG0 / 49 (PWM4)	2
PWM	PWM5	GPIO37 (XB[14])	PG1 / 50 (PWM5)	2

Tabelle 13: PWM Konfiguration Modul-Pin zu CPU-Pin und PWM Generator

4.4 Fixe Pins im Modulstecker

4.4.1 System-Control Pins

Das Signal RSTOUT ist als Ausgang konfiguriert und wird über einen MOSFET invertiert und als Open-Drain Signal auf den Modulstecker geführt.

Der Pin CLKOUT des Modulsteckers ist an den Ausgang eines frei programmierbaren Timer des Controllers geführt um einen einstellbaren Taktausgang zu realisieren. Nähere Informationen zu der Programmierung des Timers können Sie dem Datenblatt des Mikrocontrollers entnehmen.

Die beiden Signale EN0LED0/1 haben eine doppelte Funktion. Sie sind als Open-Drain Ausgänge konfiguriert und mit den LEDs im Ethernet Stecker verbunden. Sie werden direkt von dem Ethernet Controller gesteuert. Auf einer Trägerkarte können diese Pins auf Taster gegen Masse gelegt werden um während des Systemstarts (Boot-Vorgang) spezielle Vorgänge (z.Bsp. System Konfiguration oder Software Update) einzuleiten. Nähere Informationen hierzu können Sie dem Handbuch für den Bootloader entnehmen.

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])	CPU Pin (CPU-Block)
RESET	/RSTIN	/RST_IN (XA[11])	/RST / 70 (System-Control)
RESET	/RSTOUT	/RSTOUT (XA[15])	PM6 / 72 (GPIO)
CONFIG Ethernet	EN0LED1 gelbe LED	/CONFIG_IN (XA[9])	PK6 / 61 (Ethernet)
FSU Ethernet	EN0LED0 grüne LED	/FSU_IN (XA[7])	PK4 / 63 (Ethernet)
TIMER	CLK_OUT	CLK_OUT (XA[13])	PM7 / 71 (Timer)

Tabelle 14: System-Control Konfiguration Modul-Pin zu CPU-Pin/Block

4.4.2 Batterie-Eingang

Für diesen Modul-Pin kann auf der Trägerkarte eine Spannungsquelle zum Erhalt der RTC Daten vorgesehen werden. Es kann eine Batterie, ein Akku oder ein Supercap mit einer Spannung zwischen 1,8V und 3,6V verwendet werden. Auf dem Evaluation-Board MKC1702 ist zum Beispiel ein Panasonic Goldcap mit dazu gehöriger Ladeschaltung implementiert.

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])	CPU Pin (CPU-Block)
Hibernation	VBATT	VBATT (XA[8])	VBATT / 68 (Power)

Tabelle 15: VBATT Konfiguration Modul-Pin zu CPU-Pin/Block

4.4.3 JTAG Schnittstelle

Die JTAG Schnittstelle dient zum Debuggen des Moduls.

Schnittstelle	Signalname	Modul Pin (Stecker[Pin])	CPU Pin (CPU-Block)
JTAG	TCK	TCK (XA[29])	PC0_TCK_SWCLK / 100 (JTAG)
JTAG	TMS	TMS (XA[27])	PC1_TMS_SWCLK / 99 (JTAG)
JTAG	TDI	TDI (XA[25])	PC2_TDI / 98 (JTAG)
JTAG	TDO	TDO (XA[23])	PC3_TDO_SWO / 97 (JTAG)

Tabelle 16: JTAG Modul-Pin zu CPU-Pin/Block

5 Pinbelegung TM4C129KCPDT

In den folgenden Tabellen werden die benötigten Funktionalitäten den vorhandenen Anschlusspins des Mikrocontrollers TM4C129KCPDT zugeordnet. Die Übersichten zeigen jeweils die Pin-Nummer, -Name, -Typ und die Beschreibung entsprechend den Angaben aus dem Datenblatt.

5.1 Pinbelegung Versorgungsspannungen

TM4C129KCPDT					MKC1806
Pin-Nummer	Name	Type	Type		Funktion
7, 16, 26, 28, 39, 47, 51, 52, 69, 79, 90, 101, 113, 122	VDD	–	Power	Positive supply for I/O and some logic	VDD (3.3V)
8	VDDA	–	Power	The positive supply for the analog circuits (ADC, Analog Comparators, etc.)	VDDA (3.3V)
87, 115	VDDC	–	Power	The voltage on this pin is supplied by the on-chip LDO	VDDC (1.2V)
9	VREFA+	–	Power	A reference voltage used to specify the voltage at which the ADC converts to a maximum value	VREFA+ (3.3V)
68	VBAT	–	Power	Power source for the Hibernation module	VBAT (3.0V)
17, 48, 55, 58, 80, 114	GND	–	Power	Ground reference for logic and I/O pins	GND

Tabelle 17: Pinbelegung Versorgungsspannungen

5.2 Pinbelegung Steuer- und Takt-Signale

TM4C129KCPDT					MKC1806
Pin-Nummer	Name	Type	Type		Funktion
88	OSC0	I	Analog	Main oscillator crystal input or an external clock reference input	OSC0 (25.0 MHz)
89	OSC1	O	Analog	Main oscillator crystal output.	NC
66	XOSC0	I	Analog	Hibernation module oscillator crystal output	XOSC0 (32.768 kHz)
67	XOSC1	O	Analog	Hibernation module oscillator crystal output	XOSC1 (32.768 kHz)
64	/WAKE	I	TTL	An external input that brings the processor out of Hibernate mode	GND
65	/HIB	O	TTL	An output that indicates the processor is in Hibernate mode	NC

Tabelle 18: Pinbelegung Steuer- und Takt-Signale

5.3 Pinbelegung Platinen-Rev und Platinen-Var

TM4C1294KCPDT					MKC1806
Pin-Nummer	Name	Type	Type		Funktion
29	PH0	I	TTL	GPIO port H bit 0	REV_Bit0
30	PH1	I	TTL	GPIO port H bit 1	REV_Bit1
31	PH2	I	TTL	GPIO port H bit 4	VAR_Bit0
32	PH3	I	TTL	GPIO port H bit 5	VAR_Bit1

Tabelle 19: Pinbelegung Platinen-Rev und Platinen-Var

5.4 Pinbelegung Netzwerkschnittstelle

TM4C1294KCPDT					MKC1806
Pin-Nummer	Name	Type	Type		Funktion
59	RBIAS	O	Analog	4.87-kΩ resistor (1% precision) for Ethernet PHY	RBIAS
53	EN0RXIN	I/O	TTL	Ethernet PHY negative receive differential input	RXI_P
54	EN0RXIP	I/O	TTL	Ethernet PHY positive receive differential input	RXI_N
56	EN0TXON	I/O	TTL	Ethernet PHY negative transmit differential output	RXO_P
57	EN0TXOP	I/O	TTL	Ethernet PHY positive transmit differential output	RXO_N
61	EN0LED1	OD	TTL	Ethernet LED 1	/LEDY (Onboard RJ45)
63	EN0LED0	OD	TTL	Ethernet LED 0	/LEDG (Onboard RJ45)

Tabelle 20: Pinbelegung Netzwerkschnittstelle

5.5 Pinbelegung Onboard LED

TM4C1294KCPDT					MKC1806
Pin-Nummer	Name	Type	Type		Funktion
62	EN0LED2	O	TTL	Ethernet LED 2	Onboard Dual-LED (green)
60	PK7	O	TTL	Output	Onboard Dual-LED (red)

Tabelle 21: Pinbelegung Onboard LED

5.6 Pinbelegung interne SPI-Schnittstelle

TM4C1294KCPDT					MKC1806
Pin-Nummer	Name	Type	Type		Funktion
1	SSI2XDAT1	I	TTL	SSI Module 2 Bi-directional Data Pin 1 (SSI2RX in Legacy SSI Mode)	SSI2DAT1_RX (intern, SPI-Flash)
2	SSI2XDAT0	O	TTL	SSI Module 2 Bi-directional Data Pin 1 (SSI2TX in Legacy SSI Mode)	SSI2DAT1_TX (intern, SPI-Flash)
3	SSI2FSS	O	TTL	SSI module 2 frame signal	SPI2FSS (intern, SPI-Flash)
4	SSI2CLK	O	TTL	SSI module 2 clock	SPI2CLK (intern, SPI-Flash)

Tabelle 22: Pinbelegung interne SPI-Schnittstelle

5.7 Pinbelegung nicht benutzter Pins

TM4C1294KCPDT					MKC1806
Pin-Nummer	Name	Type	Type		Funktion
91,92	PB2 – PB3	IO	TTL	Not used GPIO port	Pullup
25, 24, 23, 22	PC4 – PC7	IO	TTL	Not used GPIO port	verbunden mit GND
15, 14, 13, 12	PE0 – PE3	IO	TTL	Not used GPIO port	verbunden mit GND
46	PF4	IO	TTL	Not used GPIO port	verbunden mit GND
83, 84, 85, 86	PL2 – PL5	IO	TTL	Not used GPIO port	verbunden mit GND
78, 77, 76, 75, 74 73,	PM0 – PM5	IO	TTL	Not used GPIO port	verbunden mit GND
107, 108, 109, 110, 111, 112	PN0 – PN5	IO	TTL	Not used GPIO port	verbunden mit GND
103, 104	PP2 – PP3	IO	TTL	Not used GPIO port	verbunden mit GND
102	PQ4	IO	TTL	Not used GPIO port	Pullup

Tabelle 23: Pinbelegung nicht benutzter Pins

6 Anhang

6.1 Bemaßung MKC1806

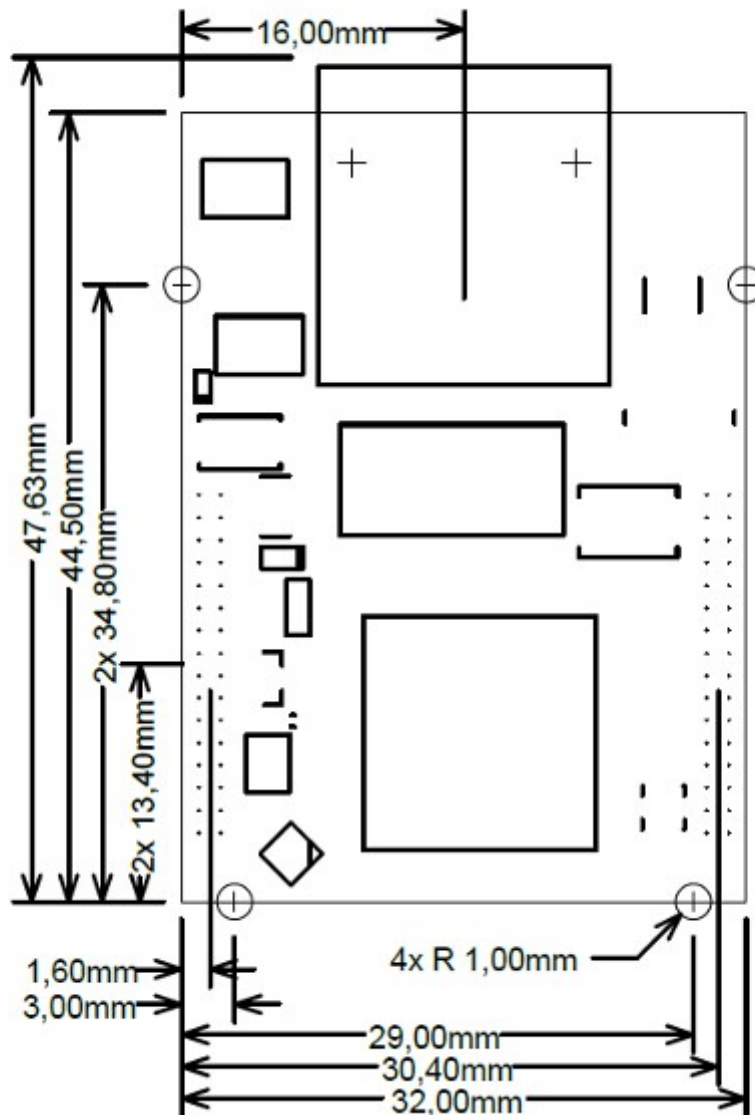


Abbildung 4: Modulbemaßung

Das Modul erhält am Platinenrand 4 halbrunde Aussparungen mit einem Durchmesser von 2mm. Auf der Trägerkarte befinden sich an der korrespondierenden Position 4 Bohrungen für eine 2mm Gewindeschraube. Damit wird eine Führung zur Positionierung des Moduls auf Federkontakt Reihen erreicht.

6.2 Bemaßung der Ausschnitte in der Trägerkarte

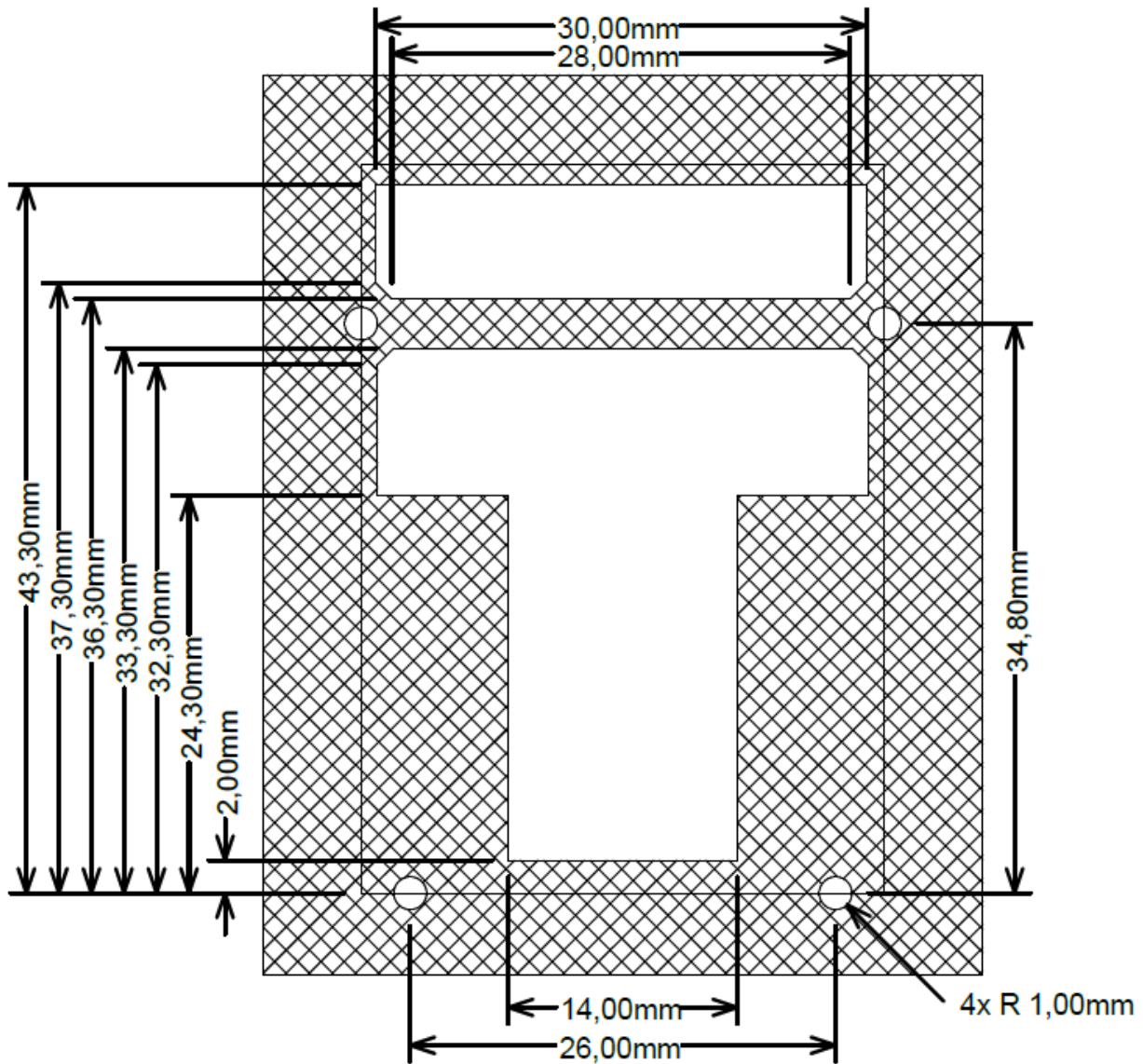


Abbildung 5: Ausschnitte in der Trägerkarte